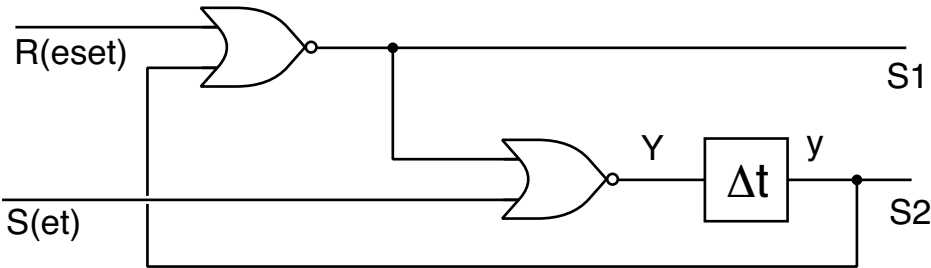
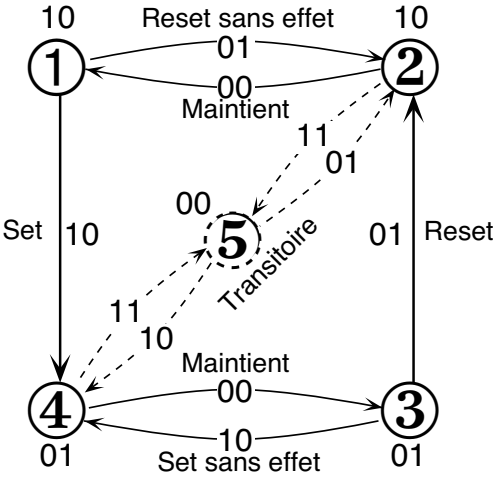


QUELQUES CIRCUITS SEQUENTIELS

1 - La Bascule Reset-Set (RS)



● Graphe



● Matrice des phases et tableau des sorties

R S	00	01	11	10	S1 S2	
état 1	1	2	*	4	10	} S1 = $\overline{S2}$
état 2	1	2	5	*	10	
état 3	3	2	*	4	01	
état 4	3	*	5	4	01	
état 5	*	2	5	4	00	

● Matrice réduite

	R S	00	01	11	10
état					
a		①	②	⑤	4
b		③	2	5	④

● Equation de Y et matrice de l'excitation

$$Y = (y + R) \cdot \bar{S}$$

	R S	00	01	11	10
y					
0		①	①	①	1
1		①	0	0	①

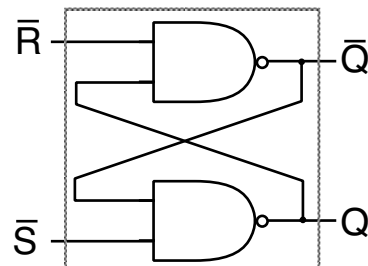
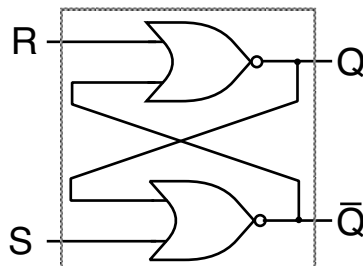
● Equations de sortie et matrice de sortie

$$s1 = \overline{y + R}$$

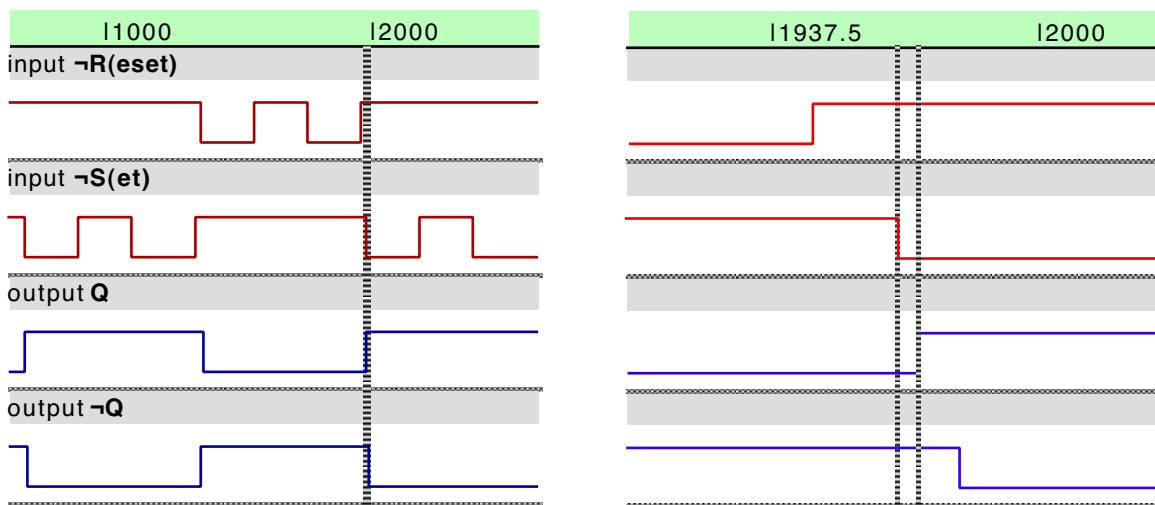
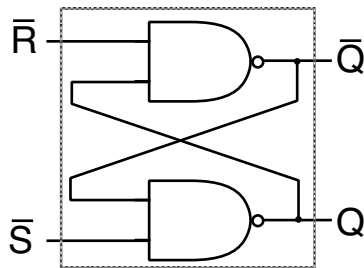
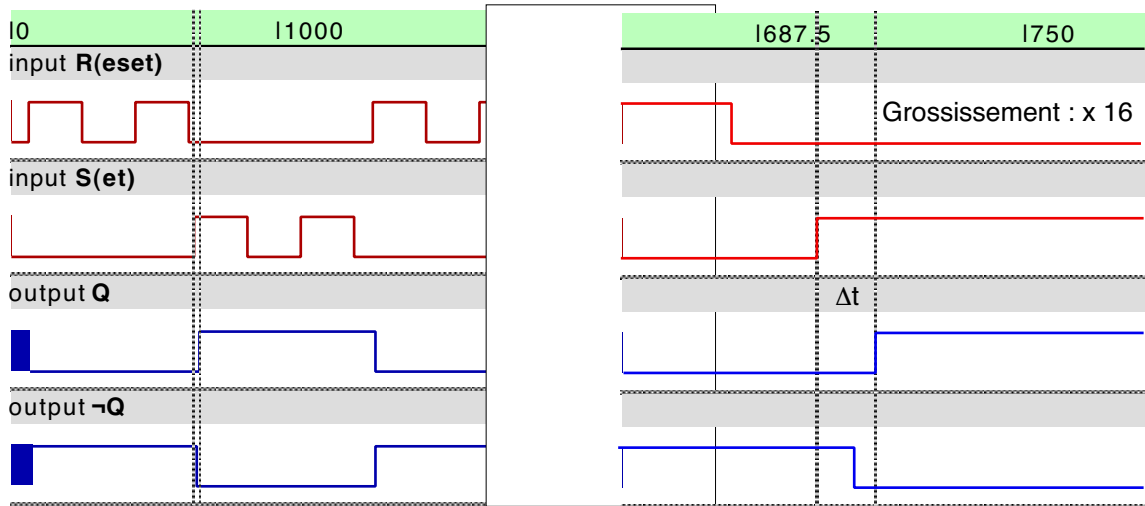
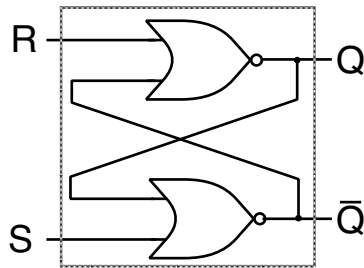
$$s2 = y$$

	R S	00	01	11	10
y					
0		10	10	00	00
1		01	01	01	01

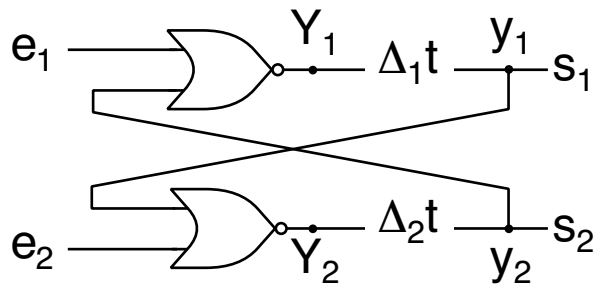
● Représentation standard



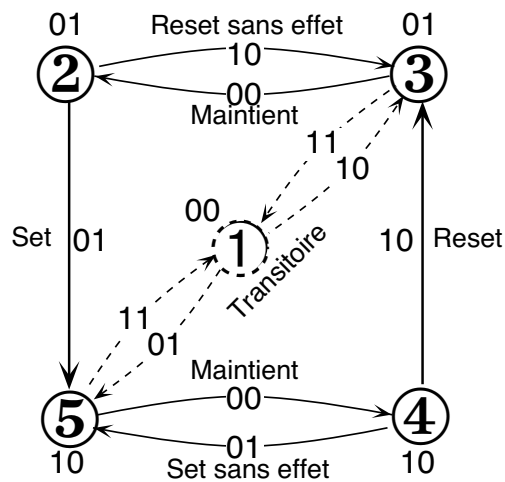
● Comportement



● Un autre modèle



● Graphe



● Matrice des phases et tableau des sorties

RS état	00	01	11	10	s1s2
①	*	5	①	3	00
②	②	5	*	3	01
③	2	*	1	③	01
④	④	5	*	3	10
⑤	4	⑤	1	*	10

} $s1 = \overline{s2}$

● Matrice réduite :

e1e2 états	00	01	11	10
a	*	5	①	3
b	②	5	1	③
c	④	⑤	1	3

● Equations et matrice des excitations :

$$Y_1 = \overline{e_1 + y_2}$$

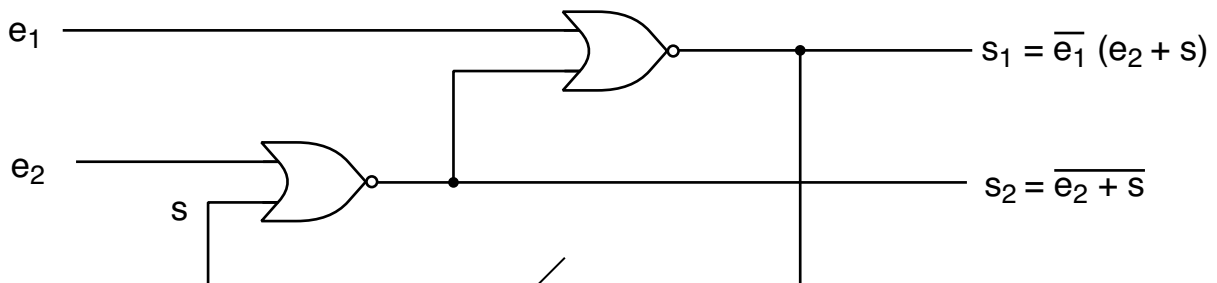
$$Y_2 = \overline{e_2 + y_1}$$

$e_1 e_2 \backslash y_1 y_2$	00	01	11	10
00	11	10	00	01
01	01	00	00	01
11	00	00	00	00
10	10	10	00	00

● Equations de sortie : $s_1 = y_1$ et $s_2 = y_2$

● Conclusion

 Les états stables ne dépendent pas du modèle choisi, mais uniquement des fonctions logiques et du nombre maximal de boucles de retour.



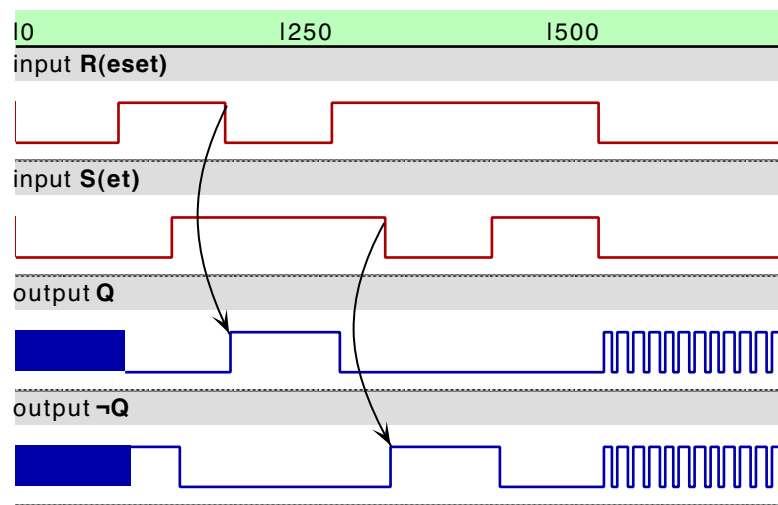
Bascule RS dépourvue de retard ($y = Y$)

e_1	e_2	s	s_1	s_2	
0	0	0	0	1	$s = s_1$
0	0	1	1	0	$s = s_1$
0	1	0	1	0	$s \neq s_1$
0	1	1	1	0	$s = s_1$
1	0	0	0	1	$s = s_1$
1	0	1	0	0	$s \neq s_1$
1	1	0	0	0	$s = s_1$
1	1	1	0	0	$s \neq s_1$

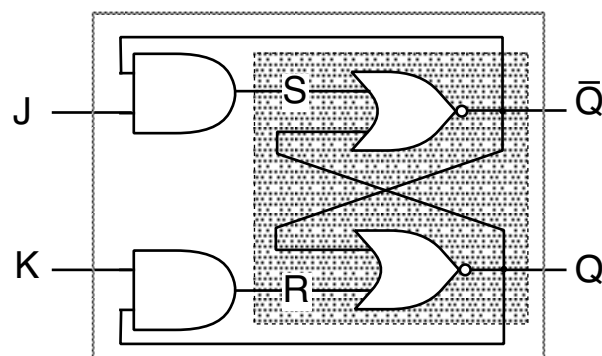
2 - La Bascule JK

La bascule RS comporte un état "indésirable" atteint lorsque les entrées R et S sont simultanément sollicitées. Les deux sorties sont alors nulles.

Si les entrées retombent simultanément à 0, le système va osciller.

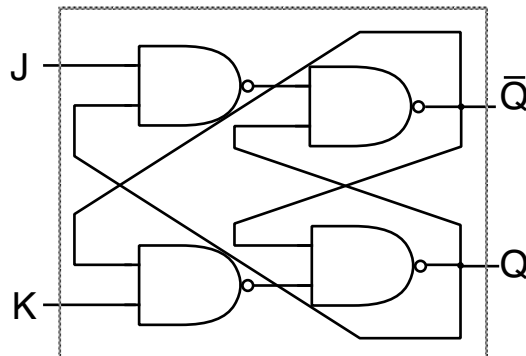


Afin d'éviter ce comportement, on préfère la bascule JK qui n'est autre qu'une RS dont les entrées sont filtrées afin de n'autoriser un Set que si $Q = 0$ ($Q' = 1$) et un Reset que si $Q = 1$.



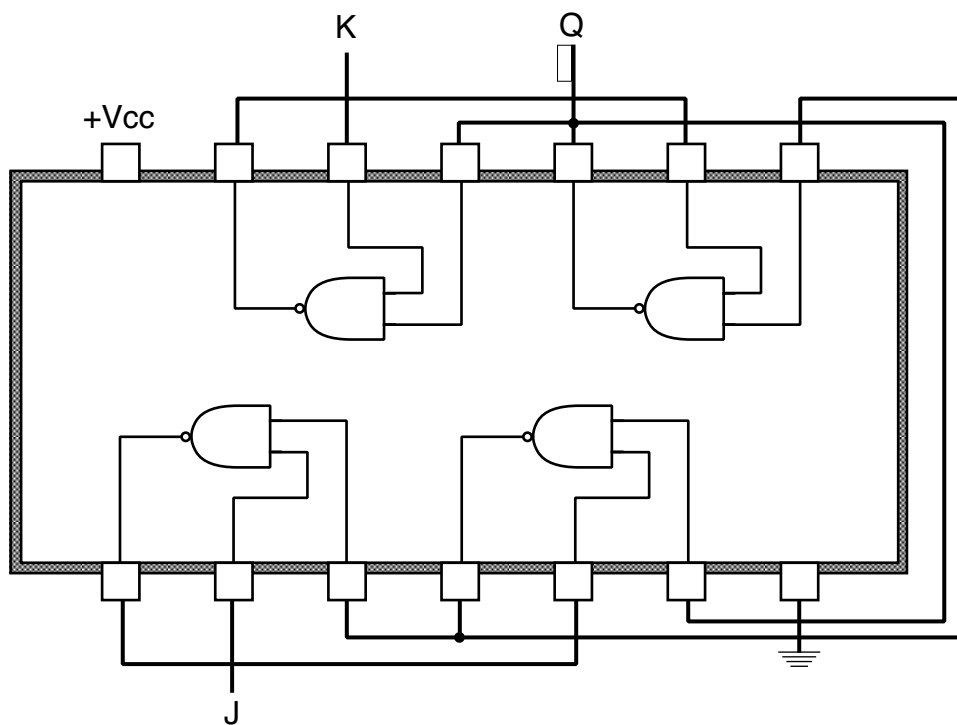
Bascule JK

Soit, pour dans un soucis d'homogénéité des composants :



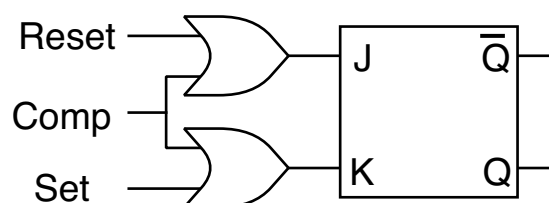
Bascule JK
réalisée en NAND

D'où le montage sur un circuit SN74LS01



Ce bistable JK permet de réaliser des éléments mémoire à 3 entrées :

Set (Mise à 1), Reset (Mise à 0), Comp (Complémentation)



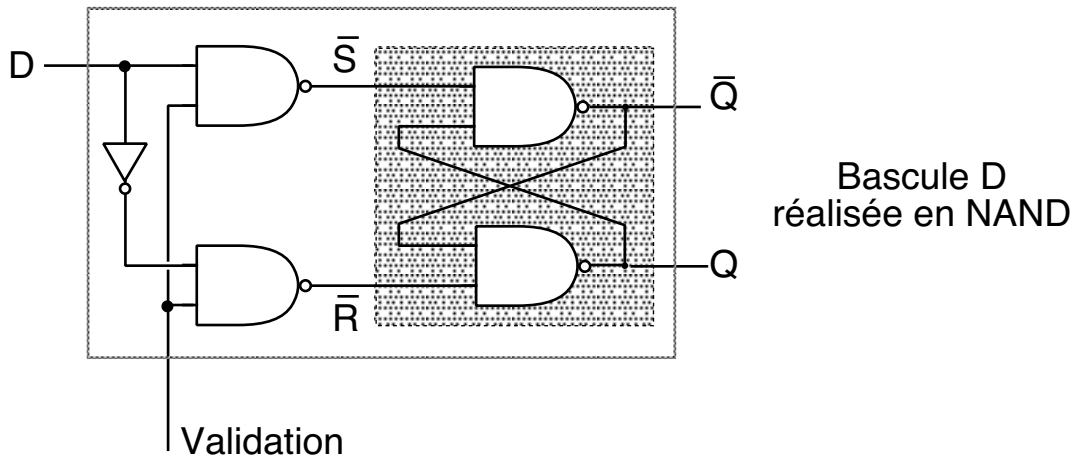
3 - Les Bascules "D"

3.1 - Le "Latch"

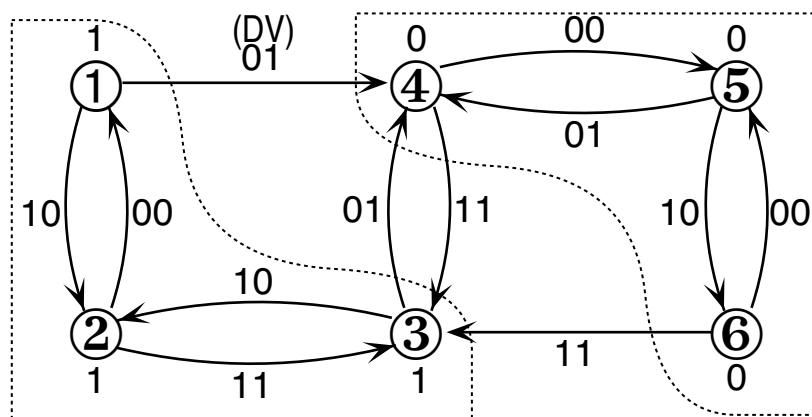
Les motivations qui ont conduit à la bascule JK peuvent se résumer ainsi eu égard à la bascule RS :

*«En dehors de l'état de maintien où $R = S = 0$,
 R et S doivent être affectés à des états complémentaires»*

On peut donc imaginer une seule entrée dont le niveau logique (1 ou 0) aura pour effet d'agir sur l'une ou l'autre des entrées de la bascule (S ou R)



Graphe asynchrone



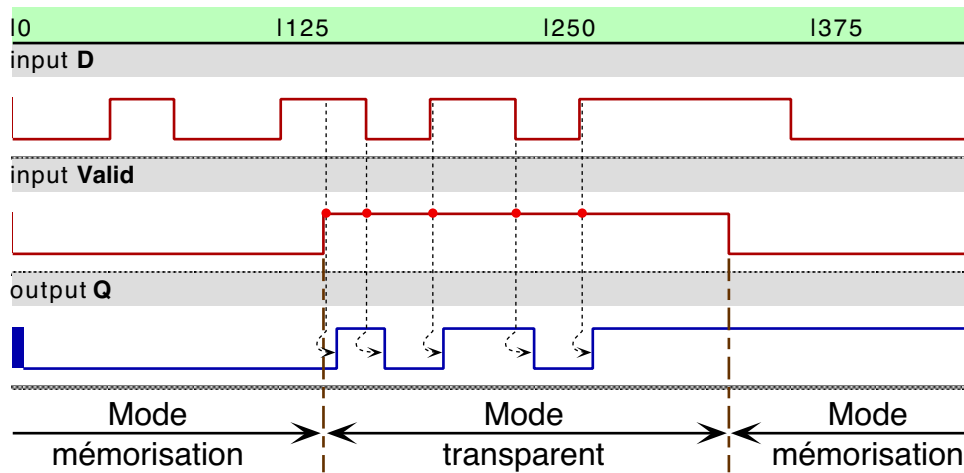
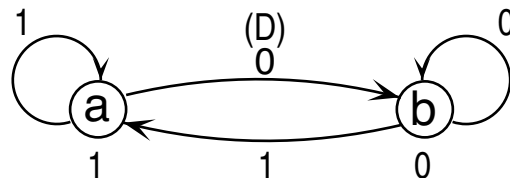


Diagramme de temps...

...où l'on peut voir que lorsque Valid = 0, Q reste inchangé quelles que soient les variations de D.

En considérant que Valid est un séquençement d'horloge, on obtient le graphe synchrone :



Graphe synchrone